



YMW820

NSX-1

■ 概要

YMW820 (NSX-1) は、3種類の音源機能を内蔵した音源 LSI です。

- **Real Acoustic Sound**
生楽器に迫る圧倒的な音質と表現力をもつ音源方式です。他に比類のないヤマハ独自の音源方式です。
- **eVocaloid™ (*1)**
ヤマハ独自の歌声合成技術 VOCALOID™ を、LSI 組み込み用に最適化しました。
- **GM (General MIDI) 音源**
最大 64 音同時発音の高品位な Wavetable 音源です。Real Acoustic Sound または eVocaloid™ と同時に出力できます。

(*1) Real Acoustic Sound と eVocaloid™ を同時に出力することはできません。

外部 CPU は、少ない処理負荷で YMW820 をコントロールできます。

複数のパワーオフモード/パワーセーブモードを搭載し、モバイルアプリケーションに適した、細かな電源制御にも対応できます。

ヤマハ株式会社

YMW820 カタログ
CATALOG No. LSI-3MW820A20
2013.10

■ 特徴

- 3種類の音源機能を、ハードウェア音源と内蔵の高性能プロセッサで実現しています。

【音源部仕様】

- 最大 64 音同時発音 Wave Table 音源。
 - ・ サンプル周波数 44.1kHz。
 - ・ 大容量波形メモリ内蔵。
 - 標準 2Mbyte RAM。
3Mbyteの内蔵RAMから、任意の容量を波形メモリに割り当てることができます。
(最大 2Mbyte まで)。残りは、内部 CPU 用 2nd メモリとして使われます。
 - GM (General MIDI) 音色 ROM 搭載。
 - ・ エフェクター用 DSP 搭載。
 - ・ デジタルオーディオ入力 2 系統。
 - I²S / 前詰め / 後詰め / PCM フォーマット対応。
 - サンプル周波数 8kHz~48kHz 対応。
 - マスター / スレーブ両対応。
 - ・ デジタルオーディオ出力 2 系統。
 - I²S / 前詰め / 後詰め / PCM フォーマット対応。
 - サンプル周波数 8kHz~48kHz 対応。
 - マスター / スレーブ両対応。

【内部 CPU 仕様】

- 2 命令同時実行型の高性能 32bit RISC-CPU 内蔵。
- 動作周波数 135.4752MHz、67.7376MHz より選択。
- キャッシュ内蔵 (命令用 8Kbyte、データ用 8Kbyte)。
- 大容量メモリ内蔵。
 - ・ 1st ワークメモリ。
CPU からノーウエイトアクセス可能。
 - ・ 2nd ワークメモリ (標準 1Mbyte)。
3Mbyteの内蔵RAMから、任意の容量を2ndワークメモリに割り当てることができます
(最大 3Mbyte まで)。残りは、波形メモリとして使われます。
- DMAC、タイマーカウンタ、ウォッチドッグタイマー、IRQ コントローラ内蔵。
- 3本の GPIO 搭載。

- 音声信号処理。
 - ・ 外部 CPU、音源出力もしくはデジタルオーディオ入力を内部 CPU に渡すことが可能。
 - ・ 内部 CPU で処理したデータを音源出力等とミキシング可能。
- ホスト CPU インターフェイス。
 - ・ 8/16bit 切り替え式の平行バス搭載。
 - ・ SPI 搭載。4種類の入出力フォーマットに対応。
 - モード0: 正パルス、ラッチ先行
 - モード1: 正パルス、シフト先行
 - モード2: 負パルス、ラッチ先行
 - モード3: 負パルス、シフト先行

【パッケージ仕様】

- 80ピン SQFP 鉛フリー対応 (YMW820-SZ)
- 12mm × 12mm
- ピンピッチ 0.5mm

【電源仕様】

- コア電圧 (DVDD) : 1.02 V ~ 1.20 V (標準 1.10 V)
- I/O 電圧 (IOVDD*) : 1.65 V ~ 3.60 V

【その他仕様】

- パワーオフモード / パワーセーブモード搭載。
複数のパワーオフモード / パワーセーブモードを搭載し、未使用時には消費電力を最小限に抑えることができます。

■ 端子配置図

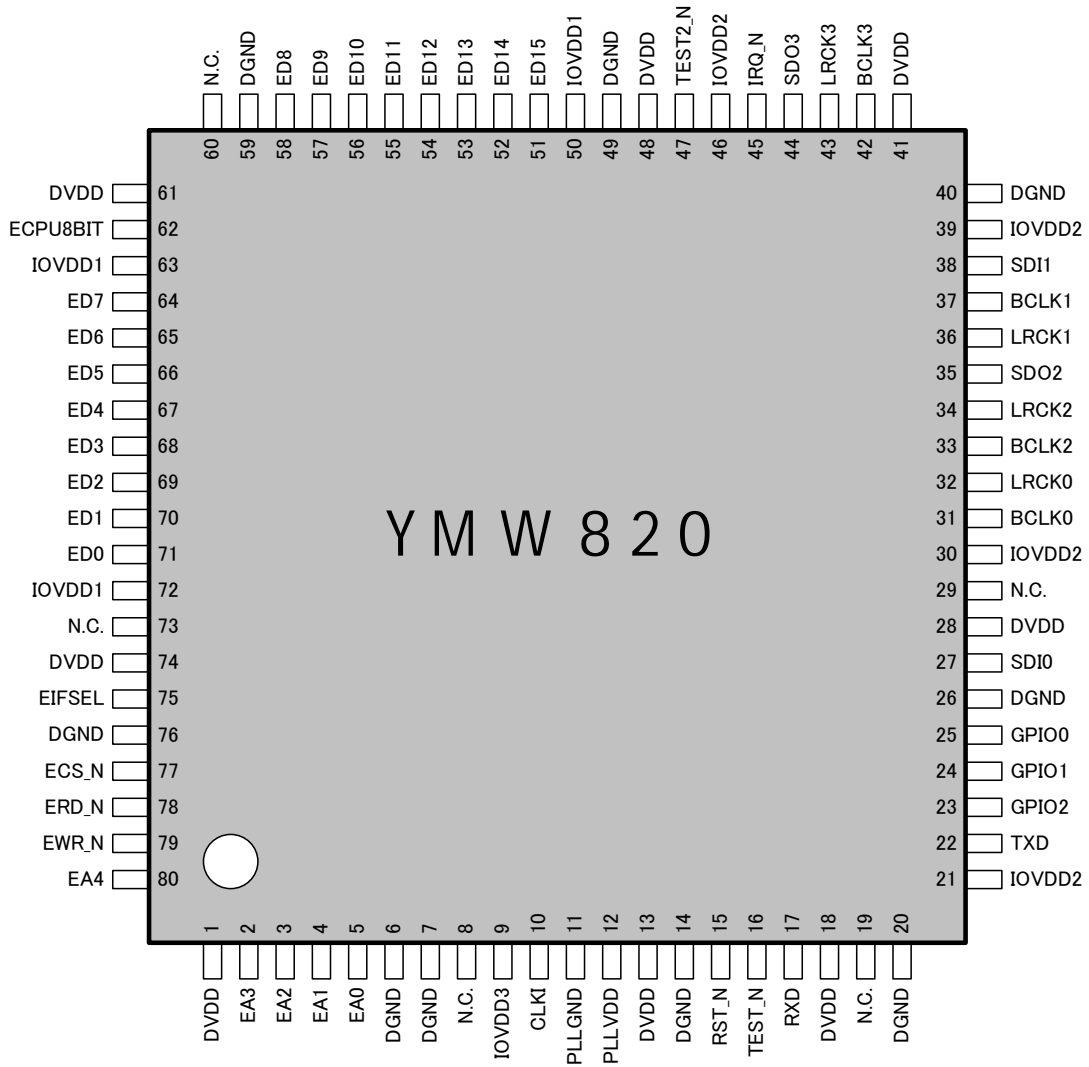


图1. 端子配置图 80ピン SQFP (Top View)

■ 端子機能

No.	Pin name	I/O	Power supply	Function
1	DVDD	P	-	内蔵回路用電源 (1.1V)
2	EA3 / SPI_MODE	I	IOVDD1	(EIFSEL="L") CPU パラレルバスインターフェイス アドレス 3 端子
				(EIFSEL="H") SPI モード端子
3	EA2 / ESI	I	IOVDD1	(EIFSEL="L") CPU パラレルバスインターフェイス アドレス 2 端子
				(EIFSEL="H") SPI データ入力端子
4	EA1 / ESCK	I	IOVDD1	(EIFSEL="L") CPU パラレルバスインターフェイス アドレス 1 端子
				(EIFSEL="H") SPI クロック入力端子
5	EA0 / ESS_N	I	IOVDD1	(EIFSEL="L") CPU パラレルバスインターフェイス アドレス 0 端子
				(EIFSEL="H") SPI チップセレクト端子
6	DGND	G	-	デジタル用グラウンド
7	DGND	G	-	デジタル用グラウンド
8	N.C.	N.C.	-	
9	IOVDD3	P	-	端子電源 (1.65V~3.60V)
10	CLKI	Ish / Itcxo	IOVDD3	クロック入力端子 (10MHz~27MHz)
11	PLLGNDD	G	-	PLL 用グラウンド
12	PLLVDD	P	-	PLL 用電源 (1.1V)
13	DVDD	P	-	内蔵回路用電源 (1.1V)
14	DGND	G	-	内蔵回路、端子用グラウンド
15	RST_N	Ish	IOVDD2	ハードウェアリセット端子
16	TEST_N	Ish	IOVDD2	テスト端子。IOVDD2 端子に接続してください。
17	RXD	Ish	IOVDD2	データ入力端子
18	DVDD	P	-	内蔵回路用電源 (1.1V)
19	N.C.	N.C.	-	
20	DGND	G	-	内蔵回路、端子用グラウンド
21	IOVDD2	P	-	端子電源 (1.65V~3.60V)
22	TXD	O	IOVDD2	データ出力端子
23	GPIO2	I/O	IOVDD2	GPIO 端子
24	GPIO1	I/O	IOVDD2	GPIO 端子
25	GPIO0	I/O	IOVDD2	GPIO 端子
26	DGND	G	-	内蔵回路、端子用グラウンド
27	SDI0	I	IOVDD2	デジタルオーディオ #0 データ入力端子
28	DVDD	P	-	内蔵回路用電源 (1.1V)
29	N.C.	N.C.	-	
30	IOVDD2	P	-	端子電源 (1.65V~3.60V)
31	BCLK0	I/O	IOVDD2	デジタルオーディオ #0 ビットクロック端子
32	LRCK0	I/O	IOVDD2	デジタルオーディオ #0 LR クロック端子
33	BCLK2	I/O	IOVDD2	デジタルオーディオ #2 ビットクロック端子
34	LRCK2	I/O	IOVDD2	デジタルオーディオ #2 LR クロック端子
35	SDO2	O	IOVDD2	デジタルオーディオ #2 データ出力端子
36	LRCK1	I/O	IOVDD2	デジタルオーディオ #1 LR クロック端子

No.	Pin name	I/O	Power supply	Function
37	BCLK1	I/O	IOVDD2	デジタルオーディオ #1 ビットクロック端子
38	SDI1	I	IOVDD2	デジタルオーディオ #1 データ入力端子
39	IOVDD2	P	-	端子電源 (1.65V~3.60V)
40	DGND	G	-	内蔵回路、端子用グラウンド
41	DVDD	P	-	内蔵回路用電源 (1.1V)
42	BCLK3	I/O	IOVDD2	デジタルオーディオ #3 ビットクロック端子
43	LRCK3	I/O	IOVDD2	デジタルオーディオ #3 LR クロック端子
44	SDO3	O	IOVDD2	デジタルオーディオ #3 データ出力端子
45	IRQ_N	O	IOVDD2	割り込み出力端子
46	IOVDD2	P	-	端子電源 (1.65V~3.60V)
47	TEST2_N	Ish	IOVDD2	テスト端子。DGND 端子に接続してください。
48	DVDD	P	-	内蔵回路用電源 (1.1V)
49	DGND	G	-	内蔵回路、端子用グラウンド
50	IOVDD1	P	-	端子電源 (1.65V~3.60V)
51	ED15	I/O	IOVDD1	CPU パラレルバスインターフェイス データ 15 端子
52	ED14	I/O	IOVDD1	CPU パラレルバスインターフェイス データ 14 端子
53	ED13	I/O	IOVDD1	CPU パラレルバスインターフェイス データ 13 端子
54	ED12	I/O	IOVDD1	CPU パラレルバスインターフェイス データ 12 端子
55	ED11	I/O	IOVDD1	CPU パラレルバスインターフェイス データ 11 端子
56	ED10	I/O	IOVDD1	CPU パラレルバスインターフェイス データ 10 端子
57	ED9	I/O	IOVDD1	CPU パラレルバスインターフェイス データ 9 端子
58	ED8	I/O	IOVDD1	CPU パラレルバスインターフェイス データ 8 端子
59	DGND	G	-	内蔵回路、端子用グラウンド
60	N.C.	N.C.	-	
61	DVDD	P	-	内蔵回路用電源 (1.1V)
62	ECPU8BIT	I	IOVDD1	CPU パラレルバスインターフェイス ビット幅選択端子
63	IOVDD1	P	-	端子電源 (1.65V~3.60V)
64	ED7	I/O	IOVDD1	CPU パラレルバスインターフェイス データ 7 端子
65	ED6	I/O	IOVDD1	CPU パラレルバスインターフェイス データ 6 端子
66	ED5	I/O	IOVDD1	CPU パラレルバスインターフェイス データ 5 端子
67	ED4	I/O	IOVDD1	CPU パラレルバスインターフェイス データ 4 端子
68	ED3	I/O	IOVDD1	CPU パラレルバスインターフェイス データ 3 端子
69	ED2	I/O	IOVDD1	CPU パラレルバスインターフェイス データ 2 端子
70	ED1	I/O	IOVDD1	CPU パラレルバスインターフェイス データ 1 端子
71	ED0	I/O	IOVDD1	CPU パラレルバスインターフェイス データ 0 端子
72	IOVDD1	P	-	端子電源 (1.65V~3.60V)
73	N.C.	N.C.	-	
74	DVDD	P	-	内蔵回路用電源 (1.1V)
75	EIFSEL	I	IOVDD1	パラレルバス / SPI 選択端子
76	DGND	G	-	内蔵回路、端子用グラウンド
77	ECS_N	I	IOVDD1	CPU パラレルバスインターフェイス チップセレクト端子
78	ERD_N	I	IOVDD1	CPU パラレルバスインターフェイス リード端子
79	EWR_N / ESO	I/O	IOVDD1	(EIFSEL="L") CPU パラレルバスインターフェイス ライト端子 (EIFSEL="H") SPI データ出力端子

No.	Pin name	I/O	Power supply	Function
80	EA4 / HOLD_N	I	IOVDD1	(EIFSEL="L") CPU パラレルバスインターフェイス アドレス 4 端子
				(EIFSEL="H") SPI ホールド端子

端子の記号説明	
I	デジタル入力
O	デジタル出力
I/O	デジタル入出力
Ish	デジタル入力 (シュミット)
Itcxo	デジタル入力 (TCXO)
P	電源系
G	グラウンド
N.C.	No Connection (チップ内部無接続)

N.C. : No Connection

チップ内部のどこにも接続されていませんので、基板上の電源、グラウンド、信号と接続しても問題ありません。また、電氣的に無接続な、独立したランドパターンとの接続も問題ありません。

電源系統はすべて分離されています。

また、すべてのグラウンド端子は、LSI 内部でシリコン基板 (Substrate) を介して接続されています。

■ ブロック図

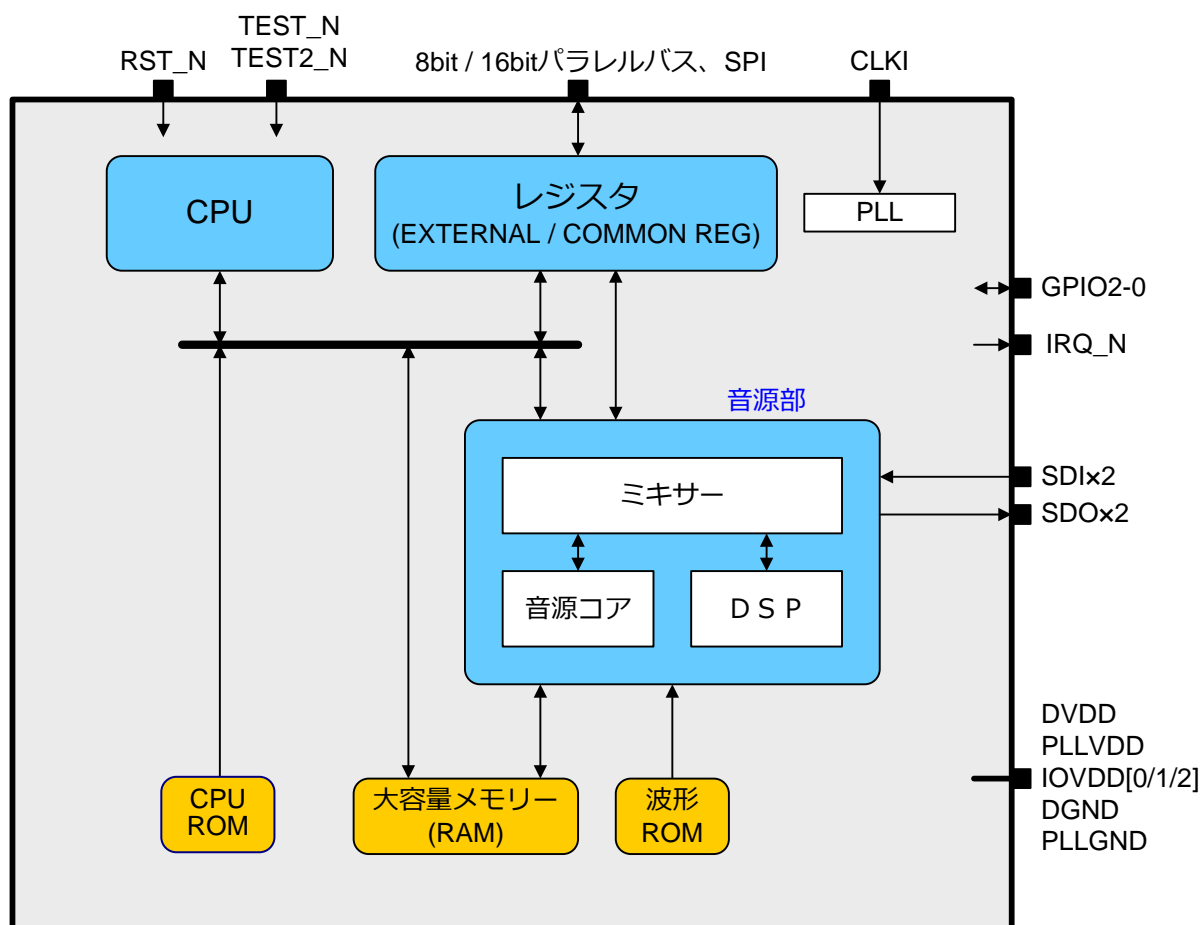


図2. ブロック図

〈EXTERNAL REG〉

EXTERNAL REG は、外部 CPU とのインターフェイスとなるレジスタです。
COMMON REG などを間接参照することができます。

〈内部 CPU〉

内部 CPU は、データ処理アプリケーションの制御に使われることを想定したバスプラットフォームで、2 命令同時実行型の高性能 32 bit RISC-CPU コアです。
タイマー、DMA コントローラー、割り込みコントローラーなど、さまざまなペリフェラルを内蔵しています。

〈音源〉

最大 64 音同時発音 Wave Table 音源です。エフェクト処理を行う DSP も内蔵し、内部 CPU によって制御されます。

〈デジタルオーディオインターフェイス [入力]〉

2 系統のデジタルオーディオ入力インターフェイスです。マスター/スレーブの両モードに対応しています。16/20/24 bit 2's コンプリメントのデータに対応しており、サンプリング周波数は 8kHz~48kHz まで 9 種類をサポートしています。スレーブモード時、サンプリング周波数を自動検出できます。

〈デジタルオーディオインターフェイス [出力]〉

2 系統のデジタルオーディオ出力インターフェイスです。マスター/スレーブの両モードに対応しています。16/20/24 bit 2's コンプリメントのデータに対応しており、サンプリング周波数は 8kHz~48kHz まで 9 種類をサポートしています。スレーブモード時、サンプリング周波数を自動検出できます。

〈PLL、クロック生成部〉

CLKI 端子は、CMOS 入力に加えて、低振幅入力の TCXO 入力もサポートしています。
PLL 部は、入力されたクロックを元にして YMW820 内部で使うクロックを生成します。

■ 電気的特性

● 絶対最大定格

項目	記号	最小	最大	単位
DVDD 端子 電源電圧	V_{DVDD}	-0.3	1.40	V
PLLVD 端子 電源電圧	V_{PLLVD}	-0.3	1.40	V
IOVDD1 端子 電源電圧	V_{IOVDD1}	-0.3	4.20	V
IOVDD2 端子 電源電圧	V_{IOVDD2}	-0.3	4.20	V
IOVDD3 端子 電源電圧	V_{IOVDD3}	-0.3	4.20	V
デジタル入力電圧(1) (*1) (*4)	V_{IND1}	-0.3	$V_{IOVDD1}+0.3$	V
デジタル入力電圧(2) (*2) (*4)	V_{IND2}	-0.3	$V_{IOVDD2}+0.3$	V
デジタル入力電圧(3) (*3) (*4)	V_{IND3}	-0.3	$V_{IOVDD3}+0.3$	V
許容損失 (*5)	Pd		203	mW
保存温度	T_{STG}	-50	125	°C

条件 DGND 端子、PLLGND 端子は 0V。

(*1) 対象端子：IOVDD1 電源で動作する入力端子と入出力端子

(*2) 対象端子：IOVDD2 電源で動作する入力端子、出力端子と入出力端子

(*3) 対象端子：IOVDD3 電源で動作する CLKI 端子

(*4) 電源電圧が推奨動作電圧範囲外の際にも適用されます。

例：電源端子に印加されている電圧が 0V の場合は、0.3V 以上の入力定格違反となります。

(*5) Top= 25°C、PCB (76.2mm×114.3mm×1.6mm) ガラスエポキシ 4 層基板実装、配線密度 100% 時 Top= 25°C 以上で使用する際には 1°C につき 2.03 mW 減少します。

ある環境条件下を想定し、シミュレーションで算出した値です。参考値とお考えください。

● 推奨動作条件

項目	記号	最小	標準	最大	単位
DVDD、PLLVD 動作電圧 (*1)	V_{DVDD}	1.02	1.10	1.20	V
IOVDD1 動作電圧	V_{IOVDD1}	1.65	1.80	3.60	V
IOVDD2 動作電圧	V_{IOVDD2}	1.65	1.80	3.60	V
IOVDD3 動作電圧	V_{IOVDD3}	1.65	1.80	3.60	V
動作周囲温度	T_{OP}	-20	25	85	°C

条件 DGND 端子、PLLGND 端子は 0V。

(*1) PLLVD 端子は YMW820 外部で DVDD 端子と抵抗を介して直結してください。

● 消費電流

項目	条件	標準 (*1)	最大 (*2)	単位
DVDD + PLLVDD の消費電流	通常動作時 (*4)	35		mA
	(CPU_FREQ="0"時) (CPU_FREQ="1"時)	25		
IOVDD1 の消費電流	通常動作時 (*4)	0.5		mA
IOVDD2 の消費電流	通常動作時 (*5)	0.8		mA
IOVDD3 の消費電流	通常動作時 (CMOS モード)	0.1		mA
	通常動作時 (TCXO モード)	0.1		mA
パワーオフモード (*3)	全電源の合計	20	60	μA
パワーセーブモード (*3)	全電源の合計	450	1800	μA

(*1) : 推奨動作条件の電圧設定 "標準" 条件、周囲温度が 25°C のとき

(*2) : 推奨動作条件の電圧設定 "最大" 条件、周囲温度が 25°C のとき

(*3) : ECS_N 入力端子は $V_{IH}=V_{IOVDD1}$ 固定。

その他入力端子は $V_{IL}=V_{DGND}$ 、 $V_{IH}=V_{IOVDD1}$ 、 V_{IOVDD2} 、 V_{IOVDD3}

(*4) : 内蔵 GM 音色に加え、より高品位な音色波形を波形メモリーにダウンロードし、弊社テストコンテンツで発音した場合

(*5) : DIR、DIT 設定 : fs=48.0kHz、BCLK=64fs、マスターモード時

● 直流特性

項目	記号	条件	最小	標準	最大	単位
入力電圧 "H"レベル①	V_{IH}	(*1)	$0.70 \times V_{IOVDD1}$			V
入力電圧 "L"レベル①	V_{IL}	(*1)			$0.30 \times V_{IOVDD1}$	V
入力電圧 "H"レベル②	V_{IH}	(*2)	$0.70 \times V_{IOVDD2}$			V
入力電圧 "L"レベル②	V_{IL}	(*2)			$0.30 \times V_{IOVDD2}$	V
入力電圧 "H"レベル③	V_{IH}	(*3)	$0.75 \times V_{IOVDD2}$			V
入力電圧 "L"レベル③	V_{IL}	(*3)			$0.25 \times V_{IOVDD2}$	V
入力電圧 "H"レベル④	V_{IH}	(*4)	$0.75 \times V_{IOVDD3}$			V
入力電圧 "L"レベル④	V_{IL}	(*4)			$0.25 \times V_{IOVDD3}$	V
出力電圧 "H"レベル①	V_{OH}	(*1) (*5)	$0.80 \times V_{IOVDD1}$			V
出力電圧 "L"レベル①	V_{OL}	(*1) (*5)			$0.20 \times V_{IOVDD1}$	V
出力電圧 "H"レベル②	V_{OH}	(*2) (*5)	$0.80 \times V_{IOVDD2}$			V
出力電圧 "L"レベル②	V_{OL}	(*2) (*5)			$0.20 \times V_{IOVDD2}$	V
シュミット幅①	V_{sh1}	TEST_N, TEST2_N, RST_N, RXD		$0.05 \times V_{IOVDD2}$		V
シュミット幅②	V_{sh2}	CLKI (*4)		$0.05 \times V_{IOVDD3}$		V
入力リーク電流	I_L				±1.0	μA
入力容量	C_i				10	pF

条件 推奨動作条件下で Capacitor load=50pF

(*1) 対象端子 : IOVDD1 電源で動作する端子

(*2) 対象端子 : SDI[0/1]、LRCK[0/1/2/3]、BCLK[0/1/2/3]、GPIO[0/1/2]

(*3) 対象端子 : RST_N、TEST_N、TEST2_N、RXD

(*4) 対象端子 : CLKI (CMOS モード時)

(*5) BCLK[0/1/2/3]、GPIO[0/1/2] は、 $I_{OH} = -2mA$ 、 $I_{OL} = +2mA$ 。それ以外の出力端子は $I_{OH} = -1mA$ 、 $I_{OL} = +1mA$

ただし、IOVDD1、IOVDD2 が 2.20V 未満の場合は全出力端子 $I_{OH} = -0.2mA$ 、 $I_{OL} = +0.2mA$ となります。

● 交流特性

● 電源立ち上げ規定とハードウェアリセット、入力信号の傾き規定

項目	記号	最小	標準	最大	単位
RST_N "L"パルス幅 (*1)	T_{RSTW}	1			μs
RST_N (不定→L) セットアップ時間 (*2)	T_{RSTS}	0			μs
電源立ち上げ時間 (*3)	T_{VRISE}			10	ms
電源立ち上げ時間差 (*4)	T_{VSKW}	0		5	ms
CLKI、RST_N 以外の入力信号 立ち上がり、立ち下がり時間	T_r, T_f			20	ns

条件 推奨動作条件下。

(*1) DVDD 端子、IOVDD1~3 端子のうち、最後に立ち上がる電源と RST_N 端子との規定です。PLLVD 端子は対象外です。

(*2) IOVDD2 端子と RST_N 端子との規定です。

(*3) 電源の立ち上がり時間に関する規定です。

(電源投入 ~ 推奨動作条件で規定されている、電圧の最小値までの立ち上がり時間)

下図では DVDD 端子だけ示されていますが、IOVDD1~3 端子にも同様の規定があります。

(*4) DVDD 端子、IOVDD1~3 端子のうち、最も早く立ち上がる電源と最後に立ち上がる電源との、時間差に関する規定です。

IOVDD[1/2/3]→DVDD の順で立ち上がる場合

DVDD 端子、IOVDD[1/2/3] 端子の立ち上げ順は自由です。(※)

PLLVD 端子の電源立ち上げと RST_N 端子との関係は特に規定はありません。

下図は、一例として IOVDD[1/2/3] 端子→DVDD 端子という順に立ち上げた場合のタイミングチャートを示します。(IOVDD[1/2/3] 端子が同電源前提のタイミングチャートです)

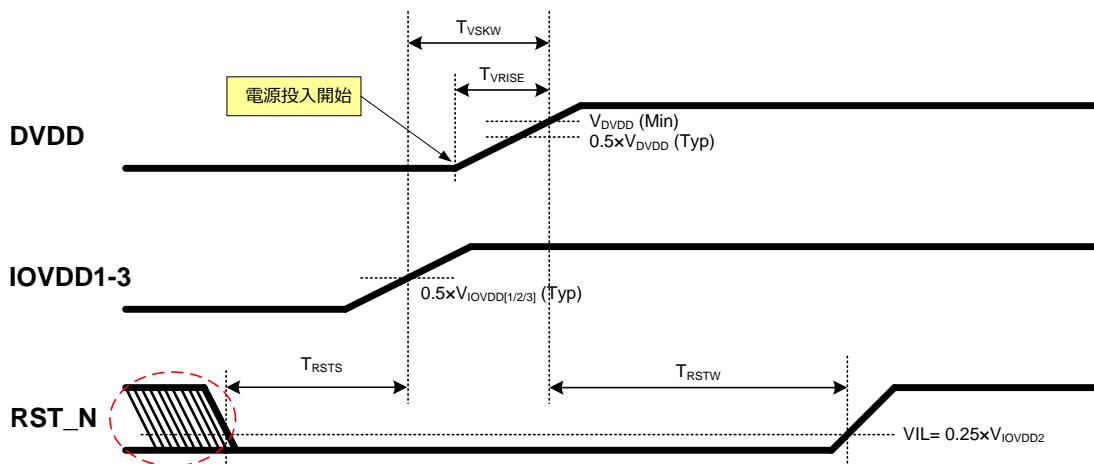


図3. 電源立ち上げタイミングチャート

(※) DVDD、IOVDD* の立ち上げ順は自由ですが、下記の順序を推奨します。

1. IOVDD1~3 の立ち上げ (IOVDD1、2、3 の順序は自由です)
2. DVDD の立ち上げ。
3. リセットの解除 (RST_N = "H")

- DVDD (min.) は、DVDD の推奨動作電圧の最小値を意味します。
- DVDD (typ.)、IOVDD[1/2/3] (typ.)は、DVDD または IOVDD[1/2/3] 電圧の標準値を意味します。
- RST_N の不定部分で絶対最大定格違反がないように注意してください。

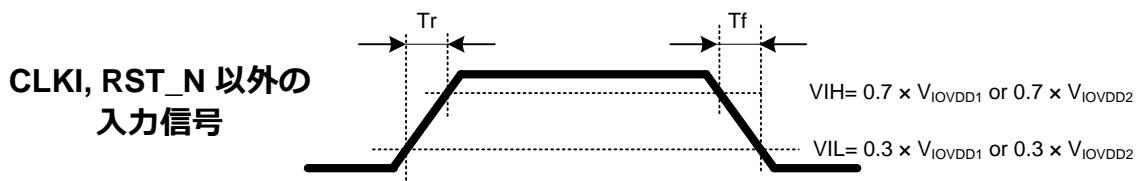


図4. 入力クロック (CLKI) CMOS モード時のタイミングチャート

❗ 電源立ち上げ時の RST_N 入力について

IOVDD2 端子が立ち上がると同時に、RST_N 端子を "L" にしてください。

IOVDD2 電源が確定し、RST_N 端子が "L" になっている状態では、IOVDD2 電源で動作する端子の入出力方向、および出力端子での出力レベルが確定するような回路構成になっています。

ED15 端子~ED0 端子の入出力方向は、IOVDD1 電源で動作している ECS_N 端子と ERD_N 端子の入力極性で確定します。(ECPU8BIT 端子が "H" : 8bit バス選択時の場合、ED15 端子~ED8 端子は ECS_N 端子と ERD_N 端子の極性に関係なく入力となります)

したがって、IOVDD1 端子が先に立ち上がり、まだ DVDD 端子が立ち上がっていない状態でも ED15 端子~ED0 端子の入出力方向は確定します。(IOVDD1 端子の立ち上がりに合わせて ECS_N 端子への "H" 入力を推奨します)

・ 入カクロック (CLKI)

i) CMOSモード

項目	記号	最小	標準	最大	単位
CLKI 周波数	1 / Tfreq	10		27	MHz
CLKI 立ち上がり、立ち下がり時間	Trckc、Tfckc			30	ns
CLKI High 時間	Th	15			ns
CLKI Low 時間	Tl	15			ns
周波数偏差許容範囲	-			±100	ppm

条件 推奨動作条件下。

CLKI 端子への入力のリセット期間中、およびパワーオフ/セーブ状態の間は停止 (=0Hz) していても構いません。

・ DVDD 端子と IOVDD[1/2/3] 端子を別電源で使用する場合、DVDD 端子を先に立ち上げてください。

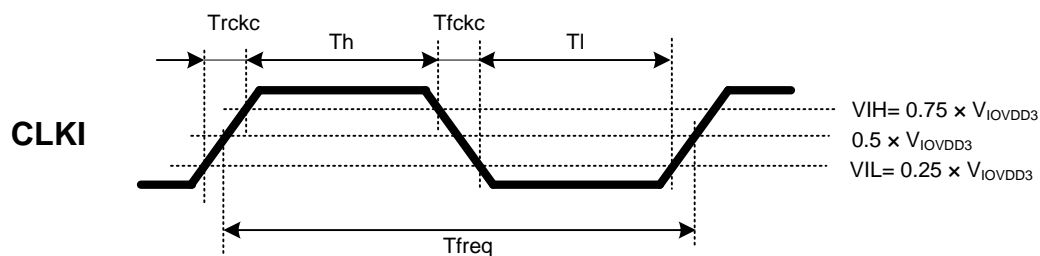


図5. 入カクロック (CLKI) CMOSモード時のタイミングチャート

ii) TCXO モード

項目	記号	最小	標準	最大	単位
CLKI 周波数	1 / Tfreq	10		27	MHz
CLKI 立ち上がり、立ち下がり時間	Trckt、Tfckt			50	ns
CLKI 振幅 H (*1)	Vmax - Vcenter	0.20		0.35 × IOVDD3	V
CLKI 振幅 L (*1)	Vcenter - Vmin	0.20		0.35 × IOVDD3	V
安定動作までのウェイト時間 (*1)	Twait	2			ms
フィードバック抵抗	Rck	13.5	27	54	kΩ
周波数偏差許容範囲	-			±100	ppm

条件 推奨動作条件下。

(*1): TCXO 部品と CLKI 端子を 1000pF の容量で交流結合した場合の値です。
交流結合用の容量としては、必ず 1000pF を使用ください。

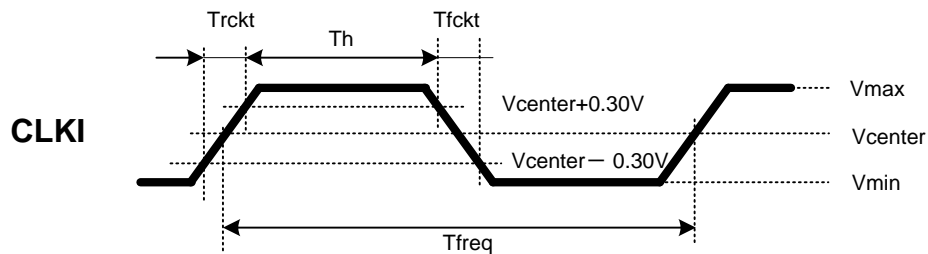


図6. 入力クロック (CLKI) TCXO モード時のタイミングチャート

- CLKI 入力の Duty が 50% (High 時間 = Low 時間) になる電圧レベルを Vcenter と定義します。ただし、Vcenter 定義できないような波形 (たとえば、論理的に Duty が崩れた 正パルス / 負パルス等) は入力禁止とします。
- Trckt、Tfckt の測定ポイントは Vcenter + 0.30 [V] と Vcenter - 0.30 [V] の間の変化時間で定義します。
- Tfreq のタイミング測定レベルは Vcenter (Duty=50%) です。

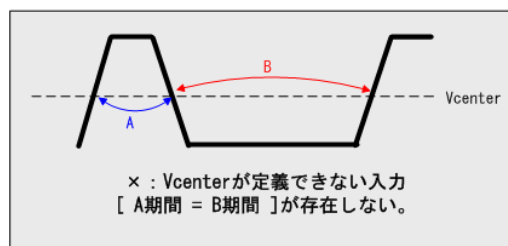
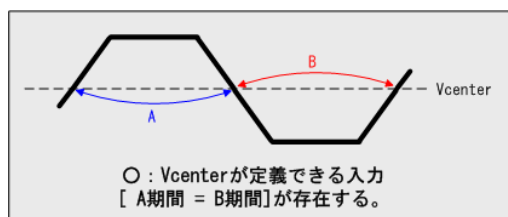


図7. Vcenter が定義できる入力とできない入力

iii) CLKI 外付け回路に関する注意事項

CKSEL にて、TCXO モード/CMOS モードを選択します。

設定値によって CLKI 端子の周辺回路、および入力信号の特性が変わりますので使用する際には注意してください。各モードの入力信号特性に関しては「入力クロック (CLKI)」を参照してください。

CKSEL 設定値と CLKI 端子の外付け回路/入力信号の特性は、必ず一致するようにしてください。

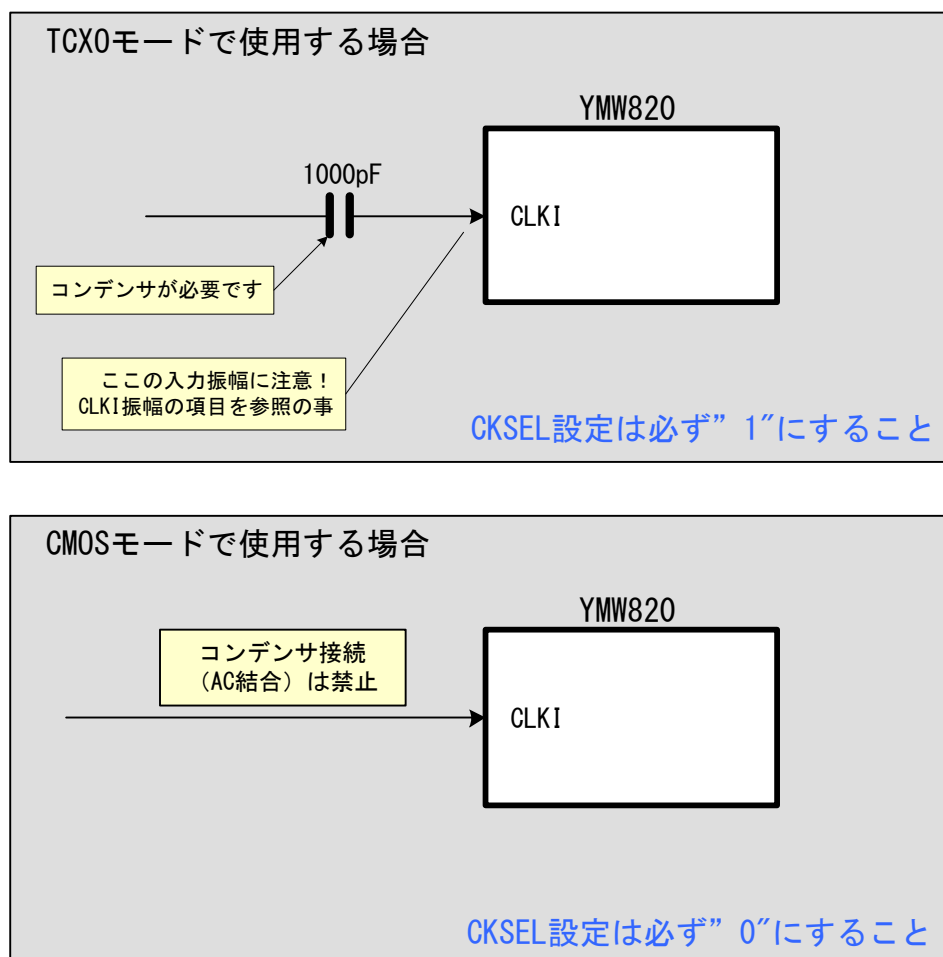


図8. CLKI 端子外付け回路 TCXO モード/CMOS モードの選択

・ 外部 CPU インターフェイスタイミング (8bit、16bit バス)

外部 CPU インターフェイスの交流特性は下記の条件で測定しています。

測定時の入力条件 : $V_{IH} = 0.80 \times V_{IOVDD1}$ 、 $V_{IL} = 0.20 \times V_{IOVDD1}$

測定ポイント : $V_{IH} = 0.70 \times V_{IOVDD1}$ 、 $V_{IL} = 0.30 \times V_{IOVDD1}$

$V_{OH} = 0.70 \times V_{IOVDD1}$ 、 $V_{OL} = 0.30 \times V_{IOVDD1}$

ライトサイクル

項目	記号	最小	最大	単位
アドレスセットアップ時間	T_{ADS}	30		ns
アドレスホールド時間	T_{ADH}	0		ns
チップセレクトセットアップ時間	T_{CSS}	30		ns
チップセレクトホールド時間	T_{CSH}	0		ns
ライトパルス幅	T_{WW}	30		ns
データセットアップ時間	T_{WDS}	20		ns
データホールド時間	T_{WDH}	0		ns

リードサイクル

項目	記号	最小	最大	単位
アドレスホールド時間	T_{ADH}	0		ns
チップセレクトホールド時間	T_{CSH}	0		ns
ERD_N 端子立ち下がりからのアクセス時間 (ECPU_DRVS="0") (ECPU_DRVS="1")	T_{ACCRD}		50 60	ns
ECS_N 端子立ち下がりからのアクセス時間 (ECPU_DRVS="0") (ECPU_DRVS="1")	T_{ACCCS}		50 70	ns
EA4~EA0 端子確定からのアクセス時間 (ECPU_DRVS="0") (ECPU_DRVS="1")	T_{ACCAD}		50 60	ns
ERD_N 端子立ち上がりからのデータホールド時間	T_{DHRD}	0		ns
ERD_N 端子立ち上がりからのハイインピーダンス 遷移時間	T_{DZRD}		15	ns

条件 推奨動作条件下。Capacitor load=50pF、 I_{OH} 、 $I_{OL} = 0mA$

i) ライト時のタイミングチャート

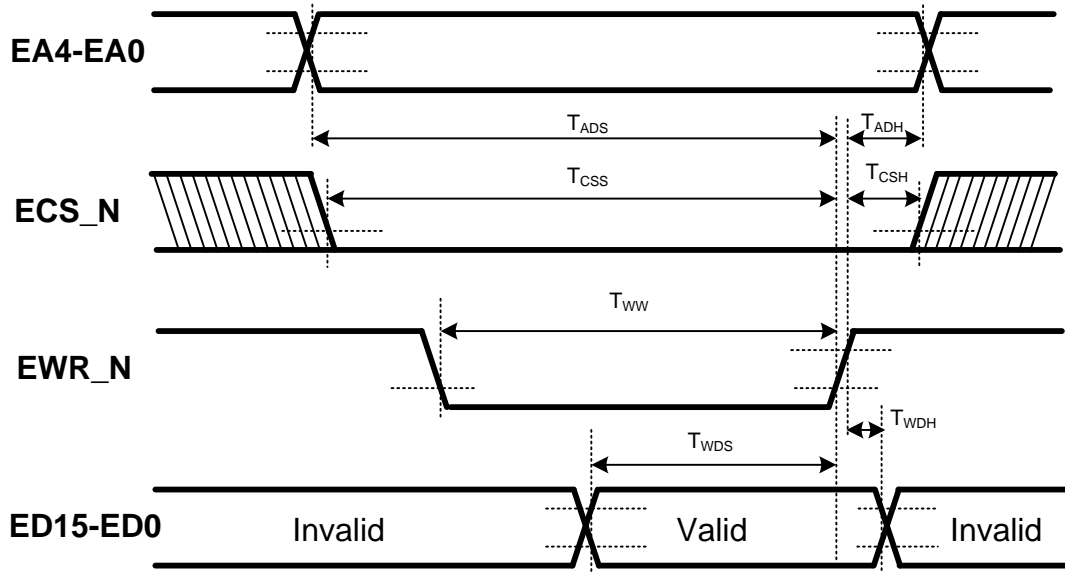


図9. ライトサイクル時のタイミングチャート

注)

- T_{ADH} : 2つのスペック (T_{CSH}, T_{WDH}) が共に最小値 (=0ns) 以上確保されている条件下で、EWR_N 端子の立ち上がり時間が $0.70 \times V_{IOVDD1}$ に達した時点を中心とした EA4 端子～EA0 端子のホールド時間。
- T_{CSH} : 2つのスペック (T_{ADH}, T_{WDH}) が共に最小値 (=0ns) 以上確保されている条件下で、EWR_N 端子の立ち上がり時間が $0.70 \times V_{IOVDD1}$ に達した時点を中心とした ECS_N 端子のホールド時間。
- T_{WDH} : 2つのスペック (T_{ADH}, T_{CSH}) が共に最小値 (=0ns) 以上確保されている条件下で、EWR_N 端子の立ち上がり時間が $0.70 \times V_{IOVDD1}$ に達した時点を中心とした ED15 端子～ED0 端子のホールド時間。
- T_{ADS} : 3つのスペック (T_{CSS}, T_{WW}, T_{WDS}) がすべて最小値以上確保されている条件下で、EWR_N 端子が無効となる時点 ($0.30 \times V_{IOVDD1}$) を基準とした EA4 端子～EA0 端子のセットアップ時間。
- T_{CSS} : 3つのスペック (T_{ADS}, T_{WW}, T_{WDS}) がすべて最小値以上確保されている条件下で、EWR_N 端子が無効となる時点 ($0.30 \times V_{IOVDD1}$) を基準とした ECS_N 端子のセットアップ時間。

ii) リード時のタイミングチャート

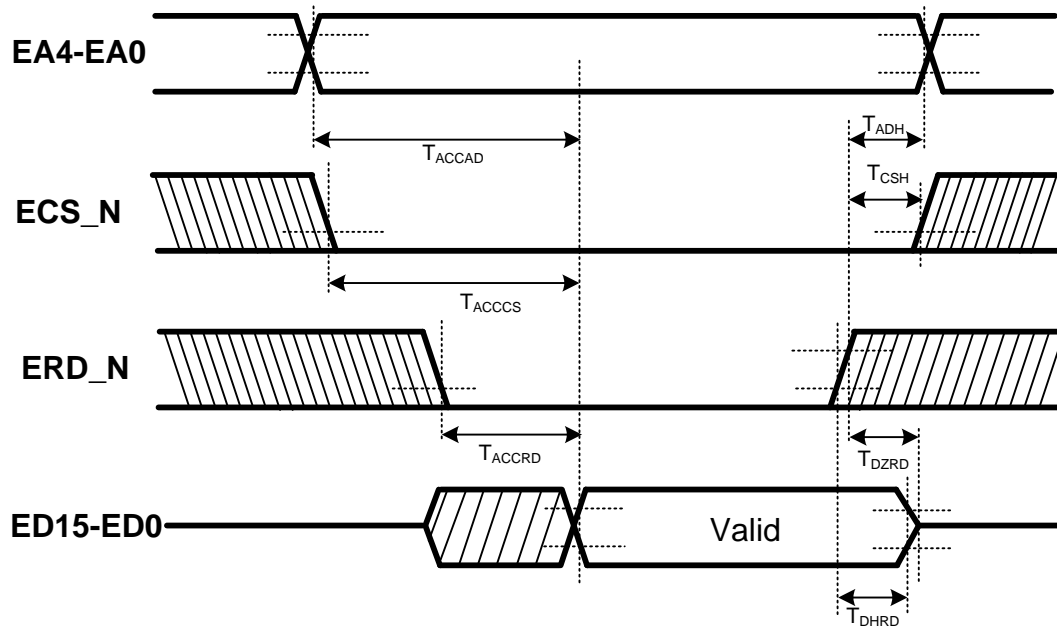


図10. リードサイクル時のタイミングチャート-その1

注)

T_{ACCAD} : EA4 端子～EA0 端子確定後 ($0.70 \times V_{IOVDD1}$ or $0.30 \times V_{IOVDD1}$) から、ED15 端子～ED0 端子が確定 ($0.70 \times V_{IOVDD1}$ or $0.30 \times V_{IOVDD1}$) するまでのアクセス時間。

ERD_N 端子と ECS_N 端子は前もって確定 (*1) しているものとします。

T_{ACCCS} : ECS_N 端子確定後 ($0.30 \times V_{IOVDD1}$) から、ED15 端子～ED0 端子が確定 ($0.70 \times V_{IOVDD1}$ or $0.30 \times V_{IOVDD1}$) するまでのアクセス時間。EA4 端子～EA0 端子と ERD_N 端子は前もって確定 (*1) しているものとします。

T_{ACCRD} : ERD_N 端子確定後 ($0.30 \times V_{IOVDD1}$) から、ED15 端子～ED0 端子が確定 ($0.70 \times V_{IOVDD1}$ or $0.30 \times V_{IOVDD1}$) するまでのアクセス時間。EA4 端子～EA0 端子と ECS_N 端子は前もって確定 (*1) しているものとします。

T_{DHRD} : ERD_N 端子が有効から無効に変化するポイント ($= 0.30 \times V_{IOVDD1}$) を基点にして、ED15 端子～ED0 端子が有効データを出し続けている (ホールドしている) 時間のこと。 T_{ADH} 、 T_{CSH} は、0ns 以上確保しているものとします。

T_{DZRD} : T_{ADH} 、 T_{CSH} は 0ns 以上確保した条件下で ERD_N 端子が無効状態 ($= 0.70 \times V_{IOVDD1}$) から ED15 端子～ED0 端子がハイインピーダンス状態になるまでの時間。

(*1) 前もって確定とは、

ECS_N 端子の場合 : ED15 端子~ED0 端子が確定 ($= 0.70 \times V_{IOVDD1}$ or $0.30 \times V_{IOVDD1}$) する時点
 を基準とし、 T_{ACCCS} の時間以上前に ECS_N 端子が確定 ($0.30 \times V_{IOVDD1}$) している状態をいいます。

ERD_N 端子の場合 : ED15 端子~ED0 端子が確定 ($= 0.70 \times V_{IOVDD1}$ or $0.30 \times V_{IOVDD1}$) する時点
 を基準とし、 T_{ACCRD} の時間以上前に ERD_N 端子が確定 ($0.30 \times V_{IOVDD1}$) している状態をいいます。

EA4 端子~EA0 端子の場合 : ED15 端子~ED0 端子が確定 ($= 0.70 \times V_{IOVDD1}$ or $0.30 \times V_{IOVDD1}$)
 する時点
 を基準とし、 T_{ACCAD} の時間以上前に EA4 端子~EA0 端子が
 確定 ($= 0.70 \times V_{IOVDD1}$ or $0.30 \times V_{IOVDD1}$) している状態をいいます。

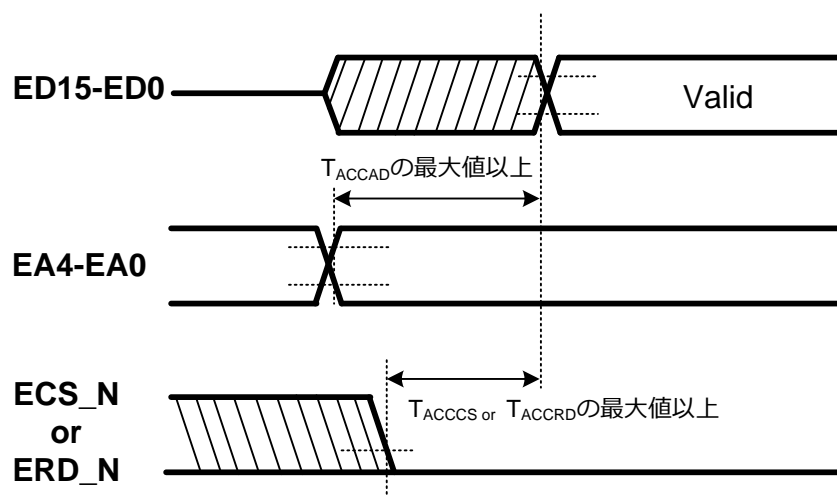


図11. ライトサイクル時のタイミングチャート-その2

iii) アクセス時のウェイト時間

項目	記号	最小	最大	単位
ライト-ライトアクセスのウェイト時間				
(RESET に続くライト時) (*1)	T_{WAITWW}	200		ns
(上記以外)	T_{WAITWW}	30		ns
リード-リードアクセスのウェイト時間	T_{WAITRR}	120		ns
ライト-リードアクセスのウェイト時間				
(RESET に続くリード時) (*1)	T_{WAITWR}	150		ns
(上記以外)	T_{WAITWR}	120		ns
リード-ライトアクセスのウェイト時間	T_{WAITRD}	30		ns

(*1) EXTERNAL REG 0x0E RESET への書き込みに続き、書き込み、または読み出しを行う場合のウェイト時間

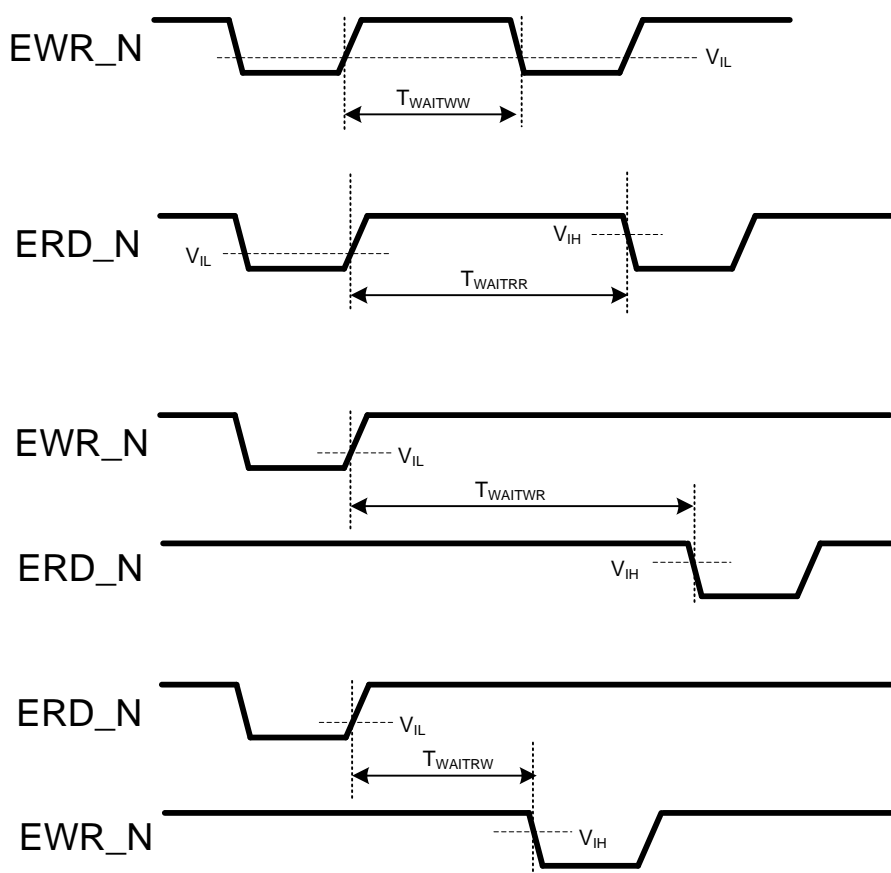


図12. アクセス時のタイミングチャート

・ 外部 CPU インターフェイスタイミング (SPI)

外部 CPU インターフェイスの交流特性は下記の条件で測定しています。

測定時の入力条件 : $V_{IH} = 0.80 \times V_{IOVDD1}$ 、 $V_{IL} = 0.20 \times V_{IOVDD1}$

測定ポイント : $V_{IH} = 0.70 \times V_{IOVDD1}$ 、 $V_{IL} = 0.30 \times V_{IOVDD1}$

$V_{OH} = 0.70 \times V_{IOVDD1}$ 、 $V_{OL} = 0.30 \times V_{IOVDD1}$

入力タイミング

項目	記号	最小	最大	単位
ESCK 周波数 (ライトアクセス時) (*1)	F_C		40	MHz
ESCK 周波数 (リードアクセス時) (*1) (ECPU_DRVS="0")	F_{CR}		15	MHz
(ECPU_DRVS="1")			10	
ESCK "H"パルス幅	T_{CH}	10		ns
ESCK "L"パルス幅	T_{CL}	10		ns
ESCK 立ち上がり時間 (*1)	T_{CLCH}		5	ns
ESCK 立ち下がり時間 (*1)	T_{CHCL}		5	ns
ESS_N セットアップ時間	T_{SSU}	15		ns
ESS_N ホールド時間	T_{SHD}	15		ns
ESI セットアップ時間	T_{DSU}	5		ns
ESI ホールド時間	T_{DHD}	10		ns
HOLD_N セットアップ時間	T_{HSU}	10		ns
HOLD_N ホールド時間	T_{HHD}	10		ns
ESS_N "H"パルス幅	T_{SW}	20		ns

(*1) ESCK 最高周波数と、ESCK 立ち上がり時間と ESCK 立ち下がり時間の最大値は同時に満たすものではありません。

出力タイミング

項目	記号	最小	最大	単位
アクセス時間 (ECPU_DRVS="0")	T_{QV}		30	ns
(ECPU_DRVS="1")			40	
データホールド時間	T_{QX}	2		ns
ハイインピーダンス遷移時間	T_{QZ}		10	ns
アクセス時間 (HOLD_N="L") (ECPU_DRVS="0")	T_{HV}		30	ns
(ECPU_DRVS="1")			40	
ハイインピーダンス遷移時間 (HOLD_N="L")	T_{HZ}		15	ns

条件 推奨動作条件下。Capacitor load=30pF、 $I_{OH} = -2mA$ 、 $I_{OL} = +2mA$

・ 入力時のタイミングチャート

モード0, 3のとき

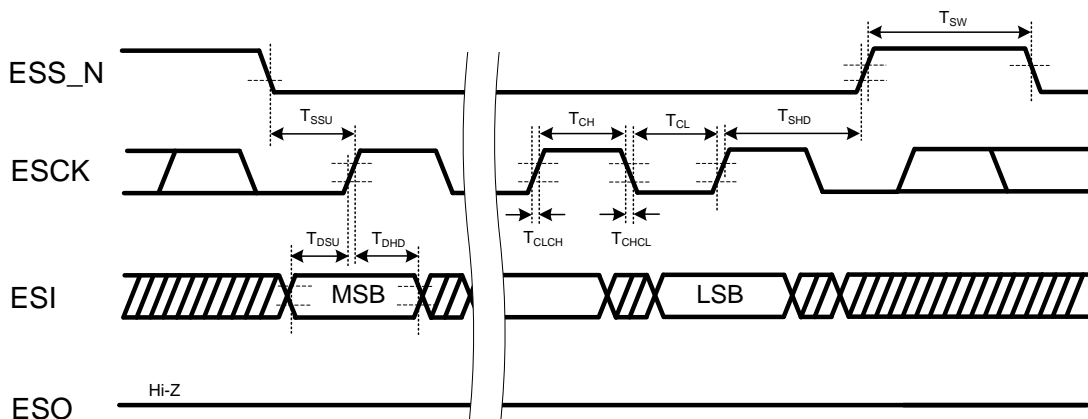


図13. 入力時（モード0, 3）のタイミングチャート

モード1, 2のとき

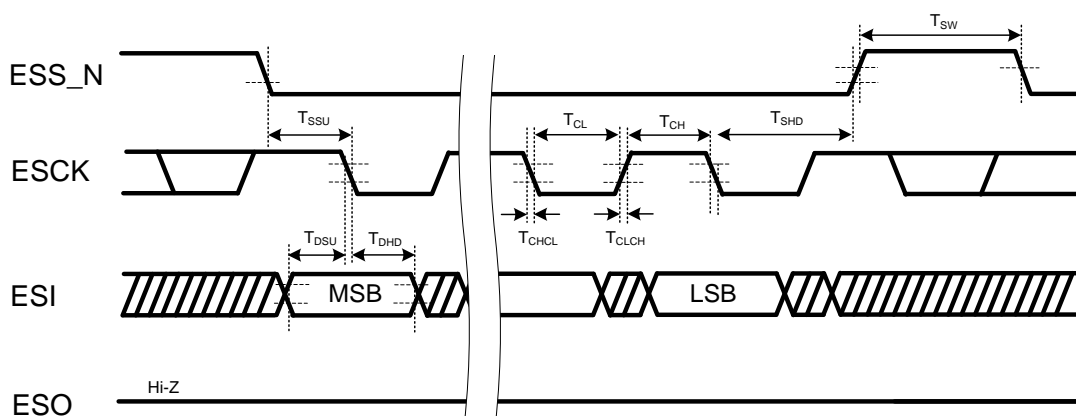


図14. 入力時（モード1, 2）のタイミングチャート

・ 出力時のタイミングチャート

モード0, 3のとき

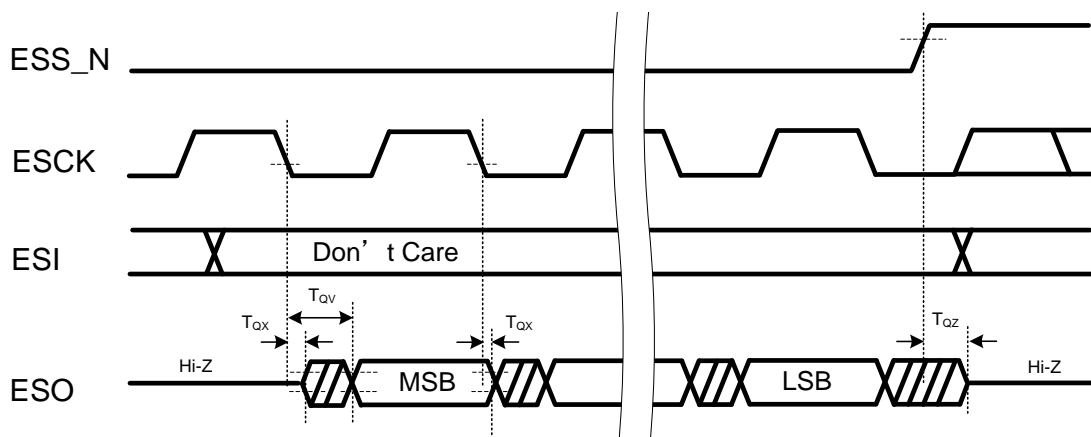


図15. 出力時 (モード0, 3) のタイミングチャート

モード1, 2のとき

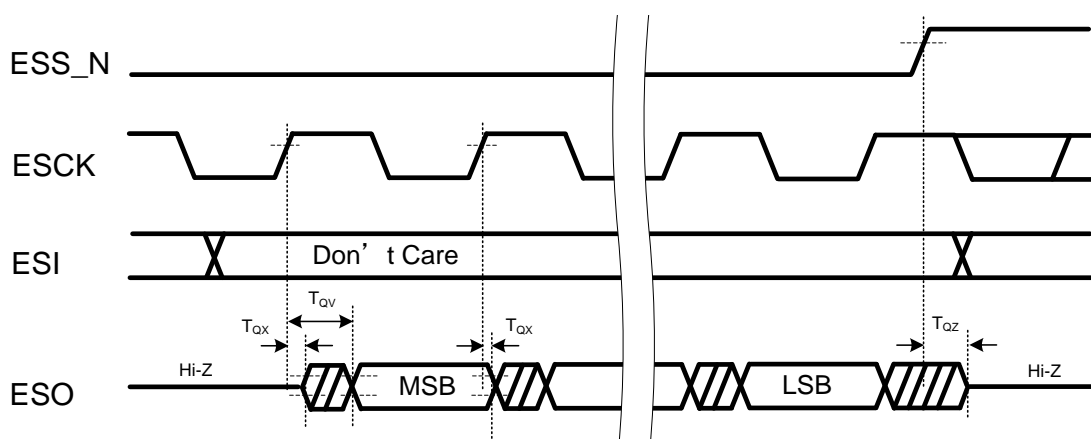


図16. 出力時 (モード1, 2) のタイミングチャート

・ ホールド時のタイミングチャート

モード0, 3のとき

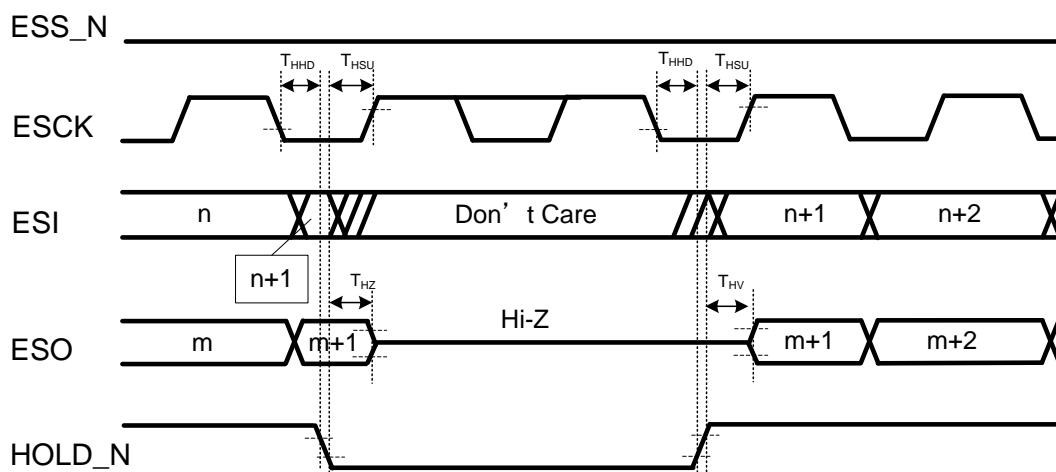


図17. ホールド時 (モード0, 3) のタイミングチャート

モード1, 2のとき

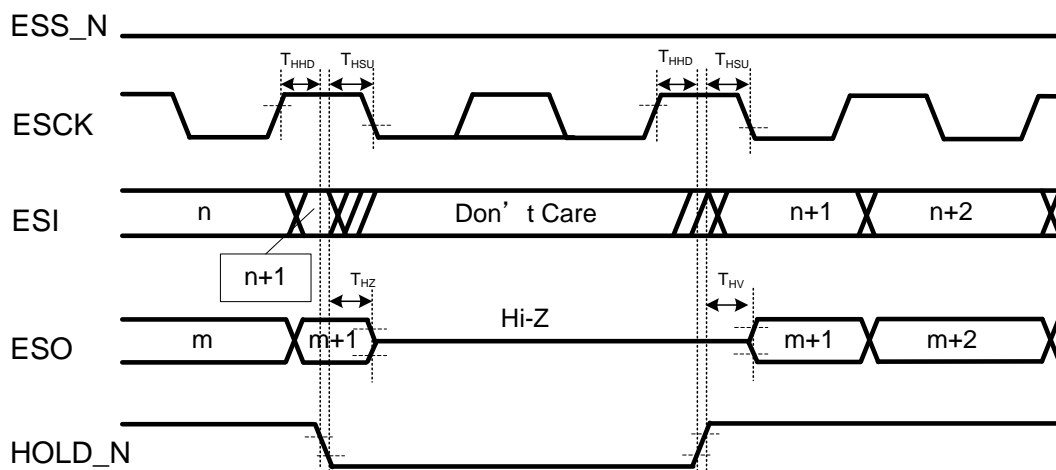


図18. ホールド時 (モード1, 2) のタイミングチャート

デジタルオーディオインターフェイスタイミング

下記の条件で測定しています。

測定時の入力条件 : $V_{IH} = 0.80 \times V_{IOVDD2}$ 、 $V_{IL} = 0.20 \times V_{IOVDD2}$

測定ポイント : $V_{IH} = 0.70 \times V_{IOVDD2}$ 、 $V_{IL} = 0.30 \times V_{IOVDD2}$

$V_{OH} = 0.70 \times V_{IOVDD2}$ 、 $V_{OL} = 0.30 \times V_{IOVDD2}$

i) マスターモード、スレーブモード共通

項目	記号	最小	標準	最大	単位
SDI 入力セットアップ時間	T_{SDIS}	65			ns
SDI 入力ホールド時間	T_{SDIH}	65			ns
SDO 出力遅延時間 (LRCK 変化後最初のビットまで)	T_{DSDOL}	0		65	ns
(BCLK 変化から SDO 出力まで)	T_{DSDOB}	0		65	ns

ii) マスターモード時

項目	記号	最小	標準	最大	単位
BCLK 出力周波数 (*2)(*3)	$1 / T_{BCLKW}$		64fs _{DA} 48fs _{DA} 32fs _{DA} (*1)		kHz
BCLK 出力 "H" 期間	T_{BCLKHW}	120			ns
BCLK 出力 "L" 期間	T_{BCLKLW}	120			ns
BCLK 出力立ち上がり/立ち下がり時間	T_{BCLKRF}			20	ns
LRCK 出力周波数 (*3)	$1 / T_{LRCKW}$		fs _{DA} (*1)		kHz
LRCK 出力遅延時間	T_{DLRCK}	-50		50	ns
LRCK 出力立ち上がり/立ち下がり時間	T_{LRCKRF}			20	ns

iii) スレーブモード時

項目	記号	最小	標準	最大	単位
BCLK 入力周波数	$1 / T_{BCLKW}$		64fs _{DA} 48fs _{DA} 32fs _{DA} (*1)		kHz
BCLK 入力 "H" 期間	T_{BCLKHW}	120			ns
BCLK 入力 "L" 期間	T_{BCLKLW}	120			ns
BCLK 入力立ち上がり/立ち下がり時間	T_{BCLKRF}			20	ns
LRCK 入力周波数	$1 / T_{LRCKW}$		fs _{DA} (*1)		kHz
LRCK 入力セットアップ時間	T_{LRCKS}	65			ns
LRCK 入力ホールド時間	T_{LRCKH}	65			ns
LRCK 入力立ち上がり/立ち下がり時間	T_{LRCKRF}			20	ns

条件 推奨動作条件下。Capacitor load=30pF

$I_{OH} = -1.0mA$ 、 $I_{OL} = +1.0mA$ ($IOVDD \geq 2.20V$ の場合)

$I_{OH} = -0.2mA$ 、 $I_{OL} = +0.2mA$ ($IOVDD < 2.20V$ の場合)

(*1) fs_{DA} は、デジタルオーディオインターフェイスのサンプリング周波数です。

(*2) BCLK 出力には論理的なジッタがあります。

(*3) CLKI 周波数、および PLL の設定によって、理想値の周波数からずれが発生する場合があります。

❗ 許容される入力周波数 (LRCK 周波数) の範囲

スレーブモードの場合、許容される入力周波数 (LRCK 周波数) の範囲が決まっています。この範囲を超えた場合には、正常な再生動作を保証できません。

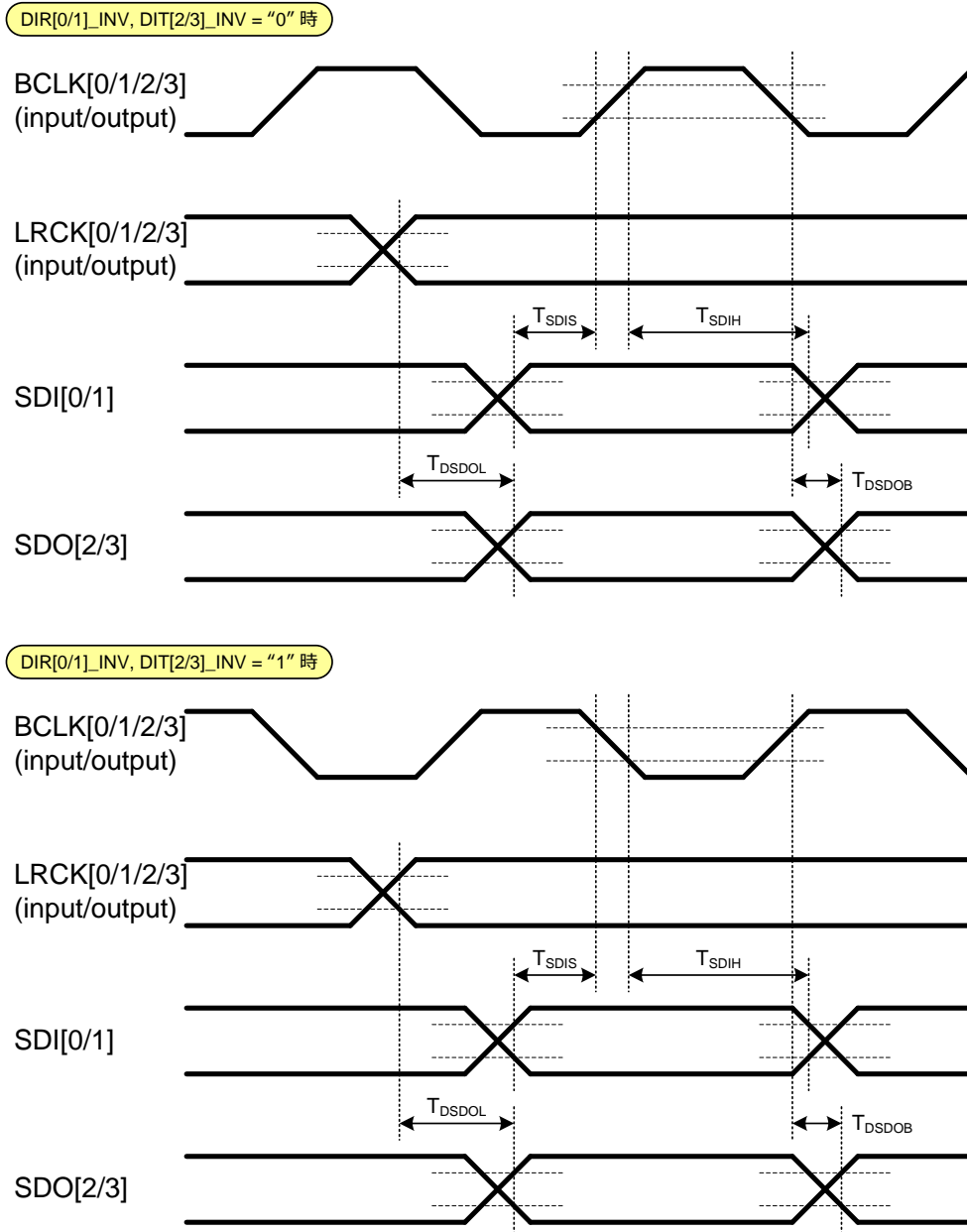


図19. DIR[0/1]_INV,DIT[2/3]_INV="0"、DIR[0/1]_INV,DIT[2/3]_INV="1"のタイミングチャート

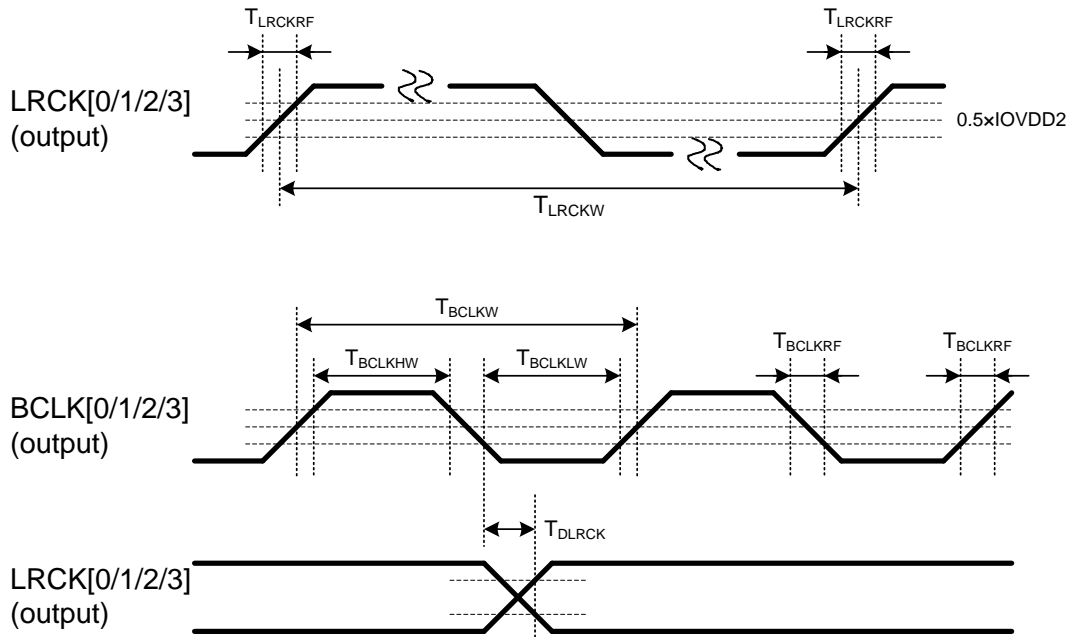


図20. 出カタイミングチャート

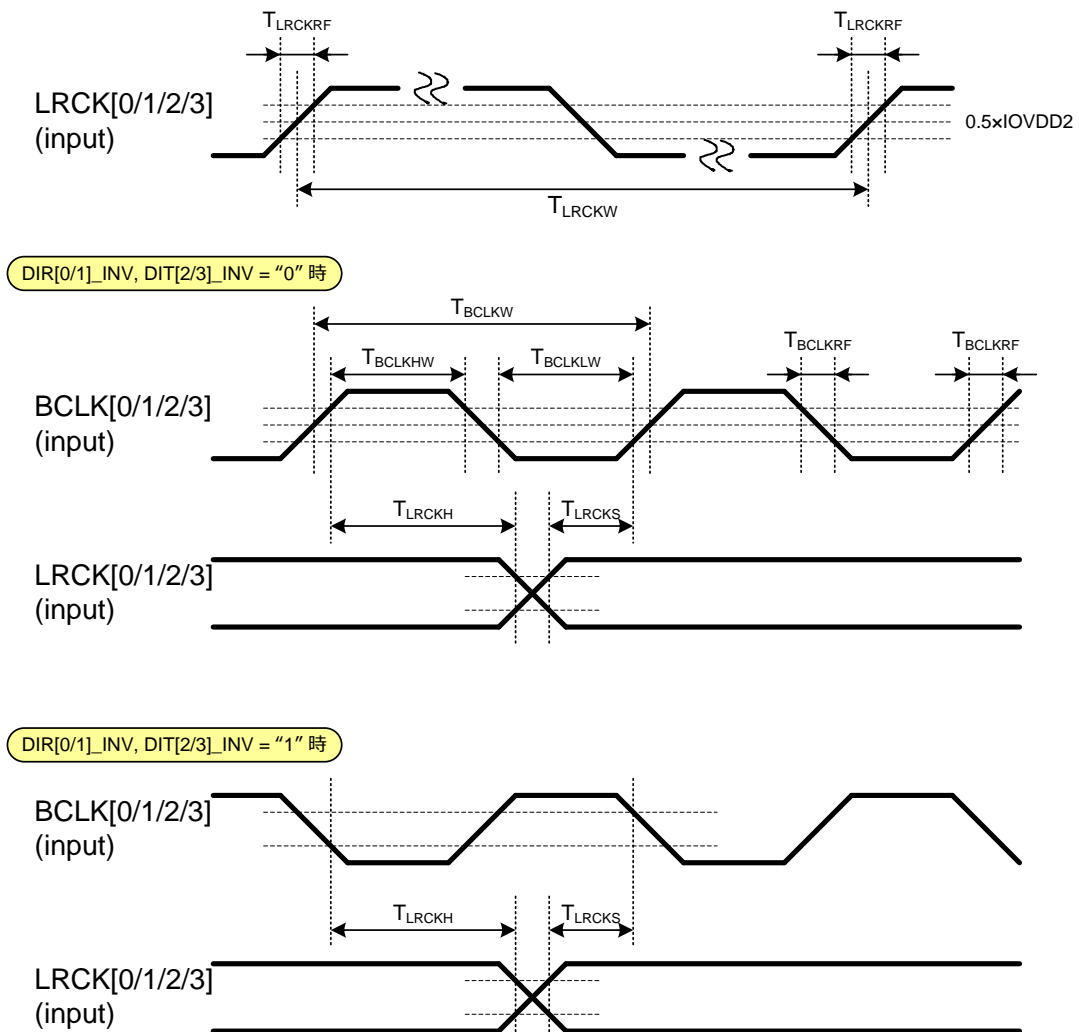


図21. 入カタイミングチャート

iv) バイパスモード時の遅延時間

バイパスモードに設定した場合の遅延時間です。

項目	記号	最小	標準	最大	単位
SDI→SDO 出力遅延時間	T_{DTHRU}			50	ns
BCLK→BCLK 遅延時間	T_{DBYPSB}			50	ns
LRCK→LRCK 遅延時間	T_{DBYPSL}			50	ns

条件 推奨動作条件下。Capacitor load=30pF

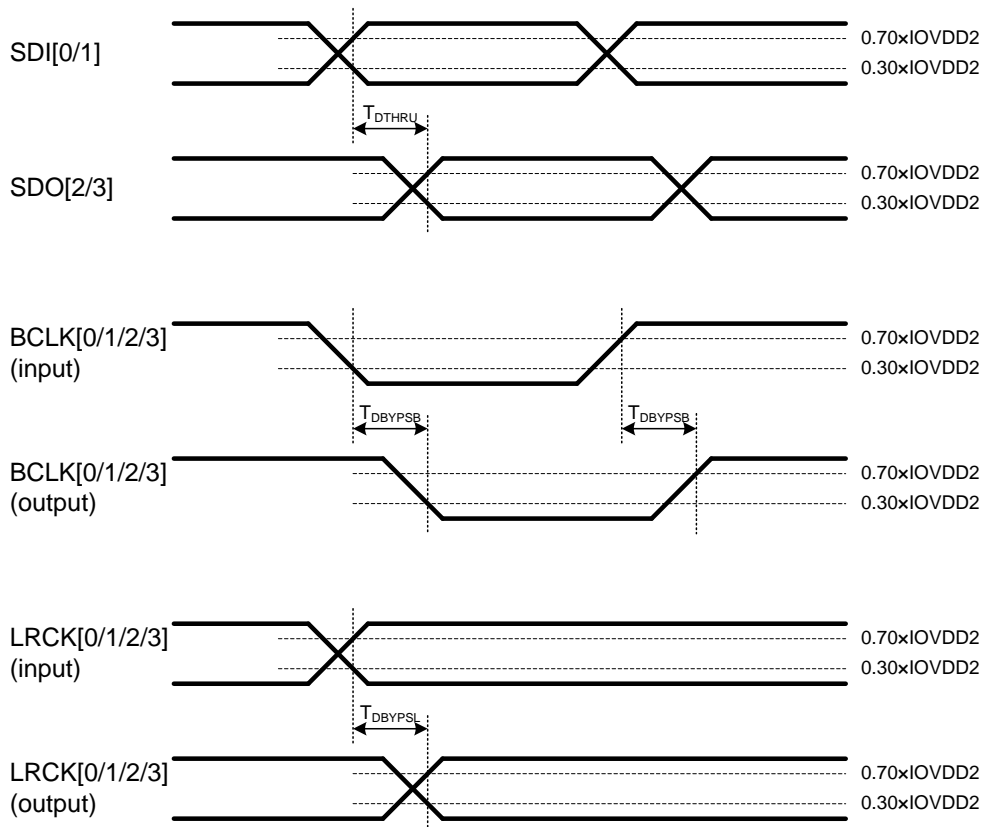


図22. バイパスモードのタイミングチャート

GPIO

下記の条件で測定しています。

測定時の入力条件 : $V_{IH} = 0.80 \times V_{IOVDD2}$ 、 $V_{IL} = 0.20 \times V_{IOVDD2}$

測定ポイント : $V_{IH} = 0.70 \times V_{IOVDD2}$ 、 $V_{IL} = 0.30 \times V_{IOVDD2}$

項目	記号	最小	標準	最大	単位
パルス幅 (割り込み使用時)	T_{GPW}	80			ns

条件 推奨動作条件下。

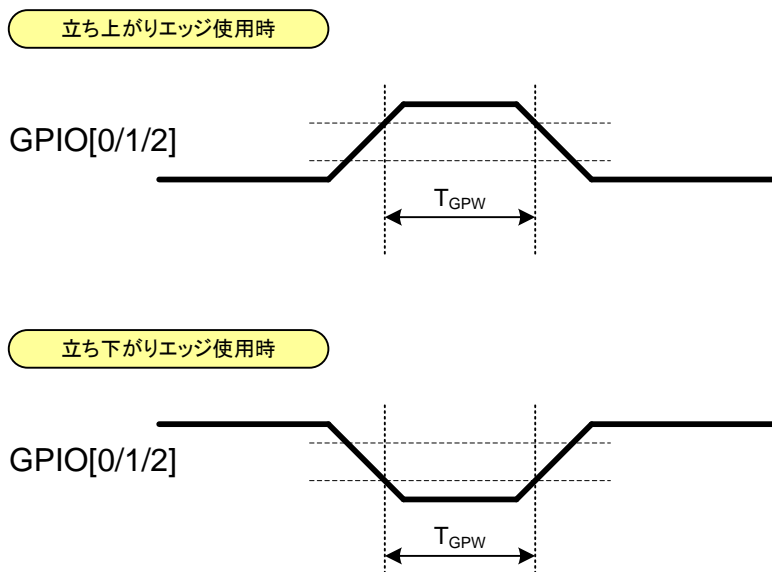
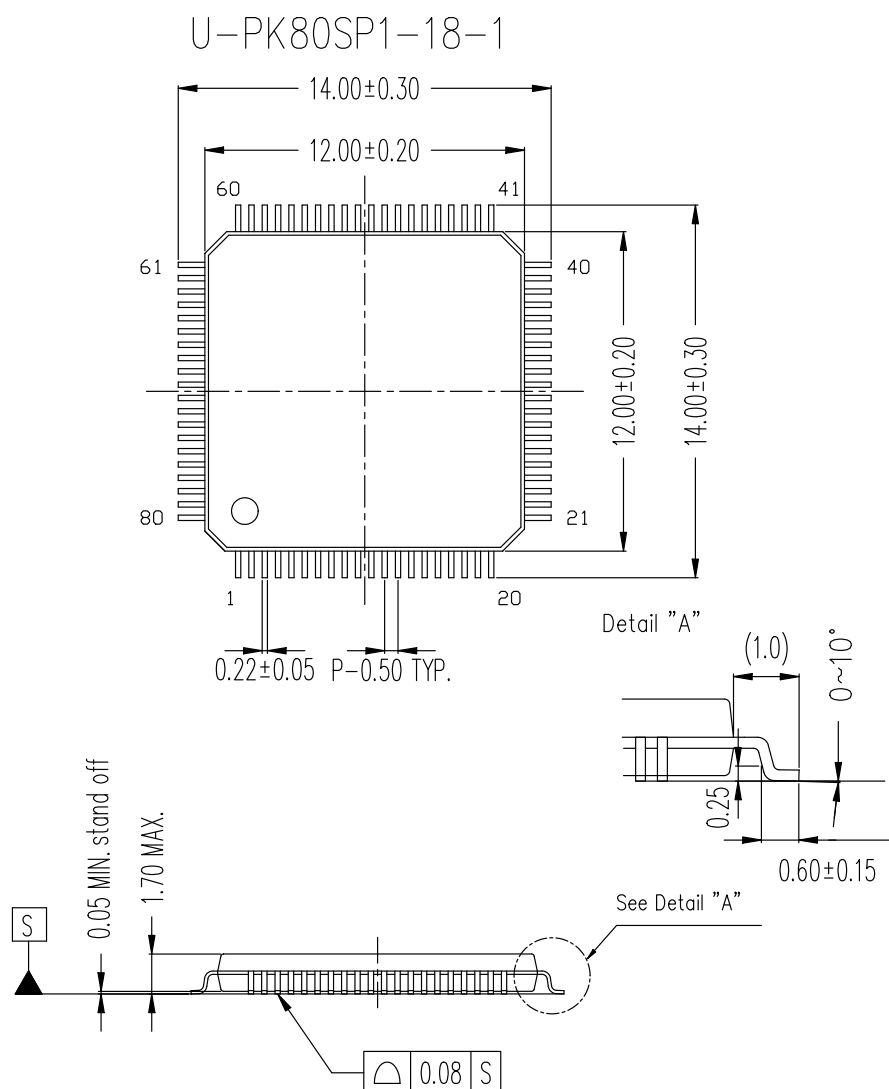


図23. GPIO 立ち上がりエッジ、立ち下がりエッジのタイミングチャート

■ パッケージ外形図



端子厚さ / Lead Thickness : 0.16 ± 0.05

カッコ内の寸法値は参考値とする。

The value parenthesized is not specified.

モールド外形寸法はバリを含まない。






Plastic body dimensions do not include burr of resin.











単位 (unit) : mm (millimeters)

- 注) 1. 表面実装LSIは、保管条件、および、半田付けについての特別な配慮が必要です。
2. 組立工場により、寸法や形状などが異なる場合があります。
詳しくはヤマハ代理店までお問い合わせください。

- Note: 1. Special attention needs to be paid to the storage conditions and soldering method of the surface mount IC.
2. Dimension, form, etc. may differ depending on assembly plants.
For details, please contact your local Yamaha agent.

安全上のご注意とお願い

 警告	
 禁止	絶対最大定格を超えて使用しないでください。絶対最大定格を超えると破壊、損傷および劣化の原因となり、破裂・燃焼を起こし、火災の原因となることや、傷害を負うことがあります。
 禁止	デバイスの逆差し、差し違い、または電源のプラスとマイナスの逆接続はしないでください。電流や消費電力が絶対最大定格を超え、破壊、損傷および劣化の原因になるだけでなく、破裂・燃焼により傷害を負うことがあります。なお、逆差しおよび差し違いのまま通電したデバイスは使用しないでください。
 禁止	端子間の短絡をしないでください。特に、高電圧端子と低電圧端子等の異なる電源端子が短絡した場合、発煙、発火、破裂の危険があります。
 指示	スピーカーから発音させるデバイスにおいては、デバイスの誤作動や故障によりスピーカーへの異常出力が発生した場合の製品、システム設計における安全対策をお願いします。スピーカーは振動板の振動に伴う空気流動でボイスコイル部の熱を放熱します。デバイスの故障等により、DC信号（数Hz程度以下）が入力されると放熱性が急激に低下し、たとえ定格入力以下で使用していても、ボイスコイルの断線、スピーカーの発煙、発火につながる場合があります。

 注意	
 禁止	当社製品が発煙・発火したことによる延焼を防ぐために、また、周辺の影響により当社製品が発煙・発火しないように、燃焼体、発火物、引火物の近くでは使用しないでください。
 指示	一般に半導体製品は誤作動したり、経年変化、劣化等により故障することがあります。半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、製品、システムの安全設計、用途に応じたフェイルセーフなどの対策をお願いします。
 指示	デバイスに内蔵されたDSPが、外乱等によって誤動作し、突然最大振幅波形が出力され、後続するヘッドフォンや外部アンプが損傷したり、耳に損傷が発生する可能性があります。デバイスの誤作動や故障に対し、製品、システム設計における安全対策をお願いします。
 指示	半導体デバイスは、不燃性ではありませんので、過電流の発生や故障の場合に発煙・発火する場合があります。動作時または故障時にも過電流が流れ続けないう、過電流防止等の安全設計をお願いします。
 指示	デバイスに内蔵された保護回路が正常に動作しなかった場合を想定しての安全対策をお願いします。デバイスに内蔵された、過電流保護回路、高温保護回路はどのような場合でもデバイスを保護するわけではありません。使用方法や状況により、保護回路が正常に動作しなかったり、動作する前にデバイスが破壊したりすることがあります。
 指示	安定した電源を使用してください。電源が不安定な場合、保護機能が動作せず、デバイスが破壊したり、また、デバイスの破壊により、傷害を負ったり発煙・発火に至ることがあります。
 指示	実装したデバイスの端子上に、外部から導電性物質（金属ピンなど）が落下し、ショート状態にならないように筐体設計上の配慮をしてください。また、筐体は破裂・燃焼による飛散防止などを考慮した設計をしてください。飛散物による傷害を負うことがあります。
 指示	デバイスは動作時、発熱により高温になる場合があります。動作時のデバイスに直接触れると火傷をする場合がありますので、注意してください。
 指示	一般に半導体製品は、静電気により特性劣化や破壊を起こす場合があります。デバイスの取り扱い時には静電気に注意してください。

v04

重要なお知らせ

1. 本製品は、用途によっては外国為替及び外国貿易管理法に定める貨物または技術（役務）に該当する場合があります。該当する貨物または技術を輸出する場合は同法に基づく日本政府の輸出許可が必要です。詳しくは弊社営業所へお問い合わせください。
2. 本製品及び本文書は、何らの通知なしに変更される場合があります。本製品をご使用になる前に、最新のカatalog、マニュアルなどを弊社代理店よりお取り寄せください。
3. 本製品は、直接に生命にかかわる装置、原子力施設、航空機、交通機器、各種安全装置など製品の故障が直接に人の死亡、傷害、または重大な物理的もしくは環境上の損害を引き起こすようなシステム機器または装置に使用するために設計されたものではありません。本製品をこの様なシステム機器または装置に使用されることによる危険および損害は製品を使用されるお客様にご負担いただきます。
4. お客様が製品を誤った、または不適当な方法で使用または操作された結果の損害につきましては弊社は一切責任を負いません。
5. 本製品を他の製品と組み合わせてまたは他の装置に使用されることが、第三者または弊社の特許権、著作権またはその他の知的財産権の実施に該当するとしても、弊社はそれらに関して何らのライセンスも（明示であれ黙示であれ）許諾されていることを保証するものではありません。弊社は、製品のかかる使用によって生じた第三者の権利に対する侵害について、一切責任を負いません。
6. 本文章に記載されている使用例は、単に本製品の機能を説明したものにすぎません。弊社は、本文書に記載されている例に基づいた使用により生ずるかもしれない一切の知的財産権に関するクレームまたはその他のクレームに対して、何らの責任も負いません。
7. 弊社は品質・信頼性の向上に努めておりますが、弊社製品のご使用に際しては半導体製品について通常予想される故障発生率、故障モードをご考慮の上、本製品の動作が原因でご使用の機器が人命にかかわる事故、発煙・発火事故、その他の拡大損害を引き起こさないように、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を講じていただきますようお願い致します。
8. 本文書に記載された応用回路例及びその定数や計算式並びにプログラム及び制御手順等の情報は、本製品の標準的な動作や使い方を説明するためのものです。従いまして、本製品を使用される場合には外部諸条件を考慮のうえ、システム全体で十分に評価し、お客様の責任において適応可否の判断をお願い致します。これらの使用に起因しお客様または第三者に損害が生じた場合、弊社は一切その責任を負いません。

ご注意 本製品の仕様につきましては、改良の為予告なく変更される場合があります。

代理店

ヤマハ株式会社

半導体事業部

- 営業部 〒438-0192 静岡県磐田市松之木島203
TEL <0539> 62-4918(代)
FAX <0539> 62-5054
- 東京営業所 〒108-8568 東京都港区高輪2-17-11
TEL <03> 5488-5431
FAX <03> 5488-5088
- 大阪営業所 〒554-0024 大阪府大阪市此花区島屋6-2-82
ユニバーサル・シティ和幸ビル
TEL <06> 6465-0325
FAX <06> 6465-0391